

#2
J1036 U.S. PTO
09/894780
06/29/01

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2000년 제 38014 호
Application Number

출원년월일 : 2000년 07월 04일
Date of Application

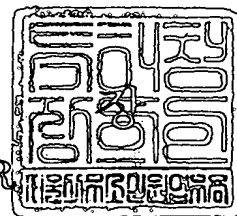
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s)



2001 년 05 월 09 일

특 허 청

COMMISSIONER



18-1

1020000038014

2001/5/1

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	29,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 액정층의 고단차를 보상하여 액정층이 전 영역에 걸쳐 균일해지도록 형성하여 고화질의 액정표시장치를 구현하기 위한 것으로서, 본 발명의 액정표시장치는 박막 트랜지스터 및 스토리지 커패시터를 구비한 제 1 기판과, 상기 스토리지 커패시터에 대향하는 위치에 요부를 갖는 칼라 필터층 및 상기 칼라 필터층상에 형성된 공통전극을 구비한 제 2 기판과, 상기 제 1 기판과 제 2 기판 사이에 스페이서가 형성된 액정층을 포함하여 구성되는 것을 특징으로 한다.

【대표도】

도 3

【색인어】

액정층, 스페이서

【명세서】**【발명의 명칭】**

액정표시장치{Liquid Crystal Display}

【도면의 간단한 설명】

도 1은 일반적인 액정표시장치의 레이아웃도

도 2는 종래 기술에 따른 액정표시장치의 단면도

도 3은 본 발명에 따른 액정표시장치의 단면도

도면의 주요 부분에 대한 부호의 설명

51,51a : 제 1, 제 2 기판

53 : 게이트 전극

55,55a : 스토리지 커패시터의 제 1, 제 2 전극

57 : 게이트 절연층

59 : 비정질 실리콘층

60 : n⁺층

62,64 : 소오스/드레인 전극

66 : 패시베이션층

68 : 화소전극

70 : 블랙 매트릭스층

72 : 칼라 필터층

74 : 공통전극

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<12> 본 발명은 액정표시장치(Liquid Crystal Display : LCD)에 관한 것으로, 특히 액

정 디스플레이 소자의 스토리지 캐패시터(Cs) 형성으로 인한 액정층의 언밸런스를 보상하기 위한 액정표시장치에 관한 것이다.

<13> 일반적으로, TFT-LCD는 액정 TV, 노트북 PC, 액정 게임기, 투사형 TV, HD-TV 등에 이용될 뿐만 아니라, 평판형 표시장치로서의 역할을 충분히 수행할 수 있을 정도로 개발되어 그 수요가 점차 증가하고 있는 추세에 있다.

<14> TFT-LCD 산업의 발전과 그 응용은 크기의 증가, 해상도의 증가에 의해 가속화되었으며, 생산성 증가와 낮은 가격을 위해서 제조공정의 단순화 및 수율향상의 관점에서 많은 노력이 계속되고 있다.

<15> 이와 같은 LCD는 패널 내부에 주입된 액정의 전기 광학적 성질을 이용하는 것으로, PDP(Plasma Display Panel), FED(Field Emission Display) 등과는 달리 자체 발광을 하지 못하는 비발광성이기 때문에 LCD 패널에 표시된 화상을 보기 위해서는 화상 표시면을 균일하게 조사하는 별도의 광원인 백라이트(Back Light)가 필요하다.

<16> 도 1은 일반적인 액정표시장치의 레이아웃도이다.

<17> 도 1에 도시된 바와 같이, 일정 간격을 두고 복수개의 게이트 라인(11)들이 형성되고, 상기 게이트 라인(11)들과 교차하는 방향으로 데이터 라인(13)들이 형성된다. 그리고 각각의 교차 부위에는 게이트 라인(11)으로부터 연장되는 게이트 전극(11a)과, 데이터 라인(13)으로부터 연장되는 소오스 및 드레인 전극(13a, 13b)으로 이루어지는 박막 트랜지스터(TFT)와, 상기 드레인 전극(13b)과 연결되는 화소전극(15)이 형성된다.

<18> 또한, 게이트 라인(11)과 화소전극(15)과의 오버랩을 통해 액정 전압을 일정 시간 동안 유지시키기 위한 스토리지 커패시터(17)가 구성된다.

- <19> 이하, 첨부한 도면을 참조하여 종래 기술에 따른 액정표시장치에 대하여 설명하면 다음과 같다.
- <20> 도 2는 종래 기술에 따른 액정표시장치의 단면도로서, 도 1의 A-A'선에 따른 것이다.
- <21> 참고적으로, 도 2는 단위 화소만을 확대 도시한 것이다.
- <22> 도 2에 도시된 바와 같이, 제 1 기판(21)에는 박막 트랜지스터(TFT)의 게이트 전극(23), 게이트 전극(23)과 소정 거리를 두고 형성된 스토리지 커패시터의 제 1 전극(25), 게이트 전극(23) 및 스토리지 커패시터의 제 1 전극(25)을 포함한 기판상에 형성된 게이트 절연막(27), 상기 게이트 전극(23) 상부의 게이트 절연막(27)상에서 적층된 비정질 실리콘층(a-Si)(29) 및 n⁺층(30), 상기 n⁺층(30)상에서 분리 형성된 소오스 전극(32) 및 드레인 전극(34), 상기 스토리지 커패시터의 제 1 전극(25) 상부의 게이트 절연막(27)상에 형성되는 스토리지 커패시터의 제 2 전극(25a), 상기 소오스 및 드레인 전극(32,34)과 스토리지 커패시터의 제 2 전극(25a)을 포함한 전면에 형성되는 패시베이션층(36), 상기 패시베이션층(36)상에 형성되며 콘택홀을 통해 상기 드레인 전극(34) 및 스토리지 커패시터의 제 2 전극(25a)에 연결되는 화소전극(38)이 구성된다.
- <23> 그리고 제 2 기판(21a)에는 블랙 매트릭스층(40)과, 칼라 필터층(42)이 형성되고, 상기 칼라 필터층(42) 및 블랙 매트릭스층(40)을 포함한 전면에 공통전압(Vcom)을 화소 전극(38)으로 전달하기 위한 공통전극(44)이 구성된다.
- <24> 제 1 기판(21)과 제 2 기판(21a) 사이에는 액정층(100)이 형성되는데, 상기 액정층(100)은 상기 제 1 기판(21)의 스토리지 커패시터(Cs)가 형성된 영역과 상기 스토

리지 커패시터(Cs)가 형성되지 않는 영역에서 매우 큰 단차를 갖는다. 그로 인해 스토리지 커패시터(Cs) 상부의 액정층(100)의 두께와 그 이외 영역의 액정층(28)의 두께가 차이가 나게 된다.

<25> 또한, 상기 액정층(100)에는 전술한 고단차로 인한 불균형(unbalance)을 보상하기 위한 용도로 제 1 기판(21)과 제 2 기판(21a)의 갭(gap)을 규제하고 액정층(100)이 적당한 두께를 유지할 수 있도록 스페이서(101,103)들이 형성된다. 이때, 통상적으로 액정층은 $5\mu\text{m}$ 정도의 두께를 갖고, 스페이서는 탄성체 미립자로서 입자의 직경에 대해 10~20% 정도의 탄성을 갖는다.

<26> 이와 같은 종래 액정표시장치에 있어서, 도 2에 도시된 바와 같이, 액정층(100)의 두께가 $5.1\mu\text{m}$ 이고, 스토리지 커패시터(Cs)의 형성에 따른 $1.25\mu\text{m}$ 의 단차를 가질 경우, 상기 스토리지 커패시터(Cs)가 형성된 영역에 상응하는 액정층(100)은 스토리지 커패시터가 형성되지 않은 영역과의 균형을 유지하기 위해 최대 20% 가량 수축된 스페이서(101)가 형성되고, 단차가 없는 부분 즉, 스토리지 커패시터가 형성되지 않는 화소영역에 형성되는 스페이서(103)는 그 직경이 약 $4.75\mu\text{m}$ 로써, 수축되지 않은 그대로의 상태를 유지한다.

<27> 그러므로, $5.1\mu\text{m}$ 두께의 상기 액정층(100)내에서는 스토리지 커패시터(Cs)가 형성된 영역과 스토리지 커패시터가 형성되지 않는 영역과는 약 $0.35\mu\text{m}$ 의 갭(Gap)이 형성된다.

<28> 이와 같은 액정표시장치에 있어서, 게이트 구동부(도시되지 않음)로부터 인가된 신호 전압이 박막 트랜지스터(TFT)의 게이트 전극(23)에 인가되면, 박막 트랜지스터(TFT)가 턴-온되어 데이터 라인의 신호가 드레인 전극(34)에 연결된 화소 전극(38)에 전달되

게 된다.

- <29> 그리고, 화소 전극(38)에 전달된 신호는 제 1 기판(21)과 제 2 기판(21a)의 갭과 액정층(100)의 두께를 조절하는 스페이서(101, 103)들이 형성된 액정층(100)에 전달된다. 즉, 제 2 기판(21a)의 공통전극(44)과 제 1 기판(21)의 화소전극(38)사이에 신호 전압이 인가되어 두 전극 사이의 액정 분자 배열 방향을 제어함으로써 액정 셀의 동작이 이루어진다.

【발명이 이루고자 하는 기술적 과제】

- <30> 그러나 상기와 같은 종래 기술의 액정표시장치는 다음과 같은 문제점이 있었다.
- <31> 스토리지 캐패시터(Cs)에 의해 발생하는 단차로 인해 스토리지 캐패시터(Cs)가 형성된 영역의 액정층의 두께와 스토리지 커패시터가 형성되지 않은 영역의 액정층의 두께가 차이가 난다.
- <32> 따라서, 상기 단차를 보상하기 위해 탄성 미립자인 스페이서들을 형성하게 되는데, 상기 스토리지 커패시터의 형성으로 인한 액정층의 단차가 스페이서의 탄성 범위 이상일 경우에는 상기 스페이서를 형성한다고 하더라도 단차를 보상할 수가 없다. 그로 인해 액정층이 부분적으로 갭이 형성되어 화상에 얼룩 및 리플(Ripple) 현상이 발생하게 되어 화질을 저하시키는 요인으로 작용한다.
- <33> 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 액정층의 고단차를 보상하여 액정층이 전 영역에 걸쳐 균일하게 형성되도록 함으로써 화질을 개선시킬 수 있는 액정표시장치를 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

- <34> 상기와 같은 목적을 달성하기 위한 본 발명의 액정표시장치는 박막 트랜지스터 및 스토리지 커패시터를 구비한 제 1 기판과, 상기 스토리지 커패시터에 대향하는 위치에 요부를 갖는 칼라 필터층 및 상기 칼라 필터층상에 형성된 공통전극을 구비한 제 2 기판과, 상기 제 1 기판과 제 2 기판 사이에 스페이서가 형성된 액정층을 포함하여 구성되는 것을 특징으로 한다.
- <35> 이하, 본 발명의 액정표시장치를 첨부한 도면을 참조하여 설명하기로 한다.
- <36> 도 3은 본 발명 액정표시장치의 단면도로써, 단위 화소만을 확대 도시한 것이다.
- <37> 도 3에 도시한 바와 같이, 제 1 기판의 구성은 종래와 동일하다. 즉, 제 1 기판 (51)에는 박막 트랜지스터(TFT)의 게이트 전극(53), 게이트 전극(53)과 소정 거리를 두고 형성된 스토리지 커패시터의 제 1 전극(55), 게이트 전극(53) 및 스토리지 커패시터의 제 1 전극(55)을 포함한 기판상에 형성된 게이트 절연막(57), 상기 게이트 전극(53) 상부의 게이트 절연막(57)상에서 적층된 비정질 실리콘층(a-Si)(59) 및 n⁺층(60), 상기 n⁺층(60)상에서 분리 형성된 소오스 전극(62) 및 드레인 전극(64), 상기 스토리지 커패시터의 제 1 전극(55) 상부의 게이트 절연막(57)상에 형성되는 스토리지 커패시터의 제 2 전극(55a), 상기 소오스 및 드레인 전극(62,64)과 스토리지 커패시터의 제 2 전극(55a)을 포함한 전면에 형성되는 패시베이션층(66), 상기 패시베이션층(66)상에 형성되며 콘택홀을 통해 상기 드레인 전극(64) 및 스토리지 커패시터의 제 2 전극(55a)에 연결되는 화소전극(68)이 구성된다.
- <38> 제 2 기판(51a)에는 화소전극 이외의 부분에서 빛이 투과되는 것을 방지하기 위한

블랙 매트릭스층(70)과, 상기 스토리지 커패시터(Cs)에 대향하는 위치에 요(凹)부를 갖는 칼라 필터층(72)과, 상기 칼라 필터층(72)상에 형성된 공통전극(74)이 구성된다.

<39> 여기서, 상기 칼라 필터층(72)은 상기 제 1 기판(51)상에 형성된 스토리지 캐패시터(Cs)에 대향하는 위치에 요부를 갖는데, 상기 요부의 깊이는 스토리지 커패시터(Cs)에 의해 발생하는 단차에 상응하여 결정된다.

<40> 즉, 스토리지 커패시터(Cs)가 형성됨으로써, 스토리지 커패시터가 형성되지 않는 영역과의 단차가 $a\mu\text{m}$ 일 경우, 상기 요부의 깊이를 $a\mu\text{m}$ 정도로 형성하여 단차를 보상하고자 하였다.

<41> 이와 같은 구조의 갖는 액정표시장치에 있어서, 제 1 기판(51)과 제 2 기판(51a) 사이에는 액정이 주입된 액정층(200)을 형성되는데, 상기 액정층(200)에는 제 1 기판(51)과 제 2 기판(51a)의 갭(Gap)을 규제하고 패널 전영역에 걸쳐 액정층의 두께를 적당하게 유지시키기 위한 스페이서(201,203)들이 형성된다.

<42> 도면에서 알 수 있듯이, 스토리지 커패시터(Cs)가 형성된 부위의 액정층(100)과 스토리지 커패시터(Cs)가 형성되지 않은 부위의 액정층(200)의 두께는 실제로 동일함을 알 수 있다. 즉, 스토리지 커패시터(Cs)의 상부에 형성되는 스페이서(201)가 칼라 필터층(72)의 요부까지 들어가므로 공간 부족에 따라 스페이서(201)가 수축될 염려가 없고, 이 때문에 스토리지 커패시터(Cs)가 형성되지 않은 영역에 형성된 스페이서(203)와 비교하여 그 직경이 동일함을 알 수 있다.

<43> 따라서, 스토리지 캐패시터(Cs) 형성으로 인한 단차 범위가 스페이서의 탄성 수준(대략 직경의 10%~20% 내외)을 넘는 경우라도 스토리지 커패시터(Cs)가 형성된 영역과

형성되지 않은 영역에 동일한 직경의 스페이서를 적용할 수 있다.

<44> 이를 보다 상세하게 설명하면 다음과 같다.

<45> 도 3에 도시된 바와 같이, 액정층(200)의 두께가 $4.75\mu\text{m}$ 이고, 스토리지 커패시터(Cs)의 형성에 의해 $1.25\mu\text{m}$ 의 단차를 갖는다고 가정할 때, 스토리지 커패시터(Cs)가 형성되지 않은 영역과의 액정층(200)의 균형을 유지하기 위해 상기 스토리지 커패시터(Cs)에 대향하는 위치의 칼라 필터층(72)에 $1.25\mu\text{m}$ 깊이의 요부를 형성한다.

<46> 이때, 칼라 필터층(72)에 요부를 형성하는 방법으로는 요부가 패터닝된 칼라 필터층(72)을 형성하거나 또는 요부가 형성되지 않은 칼라 필터층(72)을 형성한 후, 이후에 요부를 형성하는 것이 가능하다.

<47> 이와 같이, 스토리지 커패시터(Cs)에 의해 발생하는 단차를 칼라 필터층(72)에 요부를 형성하여 보상하는 액정표시장치에 있어서, 게이트 라인(53)에 신호가 인가되면, 박막 트랜지스터(TFT)가 턴-온되어 데이터 라인의 신호가 화소 전극(68)에 전달되고, 상기 화소 전극(68)에 전달된 신호는 제 1 기판(51)과 제 2 기판(51a)의 갭(Gap)과 액정층(200)의 두께를 조절하는 스페이서들(201, 203)이 형성된 액정에 전달된다.

<48> 즉, 제 2 기판(51a)의 공통전극(74)과 제 1 기판(51)의 화소전극(68) 사이에 신호 전압이 인가되어 두 전극 사이의 액정 분자 배열 방향을 제어함으로써, 액정 셀의 동작이 이루어진다.

【발명의 효과】

<49> 이상에서 상술한 바와 같이, 본 발명에 따른 액정표시장치는 다음과 같은 효과가 있다.

<50> 스토리지 캐패시터(Cs)의 형성으로 인해 발생하는 액정층의 단차가 액정층에 형성되는 스페이서의 탄성 수준을 넘더라도 상기 단차를 칼라 필터층을 이용하여 보상함으로써, 전체적으로 액정층의 균일함을 유지할 수 있다.

<51> 따라서, 화상에 얼룩 및 리플 현상이 없는 고화질의 액정표시장치를 제공할 수 있다.

【특허청구범위】**【청구항 1】**

박막 트랜지스터 및 스토리지 커패시터를 구비한 제 1 기판;

상기 스토리지 커패시터에 대향하는 위치에 요부를 갖는 칼라 필터층 및 상기 칼라 필터층상에 형성된 공통전극을 구비한 제 2 기판;

상기 제 1 기판과 제 2 기판 사이에 스페이서가 형성된 액정층을 포함하여 구성되는 것을 특징으로 하는 액정표시장치.

【청구항 2】

제 1 항에 있어서, 상기 요부는 상기 스토리지 커패시터에 의해 발생한 단차에 상응하는 깊이로 형성되는 것을 특징으로 하는 액정표시장치.

【청구항 3】

제 1 항에 있어서, 상기 스페이서는 상기 스토리지 커패시터가 형성된 영역과 상기 스토리지 커패시터가 형성되지 않은 영역에서 동일한 직경을 갖는 것을 특징으로 액정표시장치.

【청구항 4】

제 1 항에 있어서, 상기 스토리지 커패시터에 의한 단차는 상기 스페이서의 허용탄성 범위 이상인 것을 포함함을 특징으로 하는 액정표시장치.

【청구항 5】

제 1 기판상에 교차 배치되는 복수개의 게이트 라인 및 데이터 라인들;

상기 각 게이트 라인과 데이터 라인의 교차 부위에 형성된 박막 트랜지스터 및 화소전극들;

상기 화소전극과 상기 게이트 라인간의 오버랩에 의해 정의되는 스토리지 커패시터 전극들;

상기 제 1 기판과 대향하는 제 2 기판상에 형성되며 상기 화소전극을 제외한 부분에서 빛의 투과를 차단하는 블랙 매트릭스층;

상기 블랙 매트릭스층을 포함한 전면에 형성되며 상기 스토리지 커패시터에 대향하는 부위에 요(凹)부를 갖는 칼라 필터층;

상기 칼라 필터층을 포함한 전면에 형성된 공통전극;

상기 제 1 기판과 제 2 기판 사이에 스페이서가 형성된 액정층을 포함하여 구성되는 것을 특징으로 하는 액정표시장치.

【청구항 6】

제 5 항에 있어서, 상기 요부는 상기 스토리지 커패시터에 의해 발생한 단차에 상응하는 깊이로 형성되는 것을 특징으로 하는 액정표시장치.

【청구항 7】

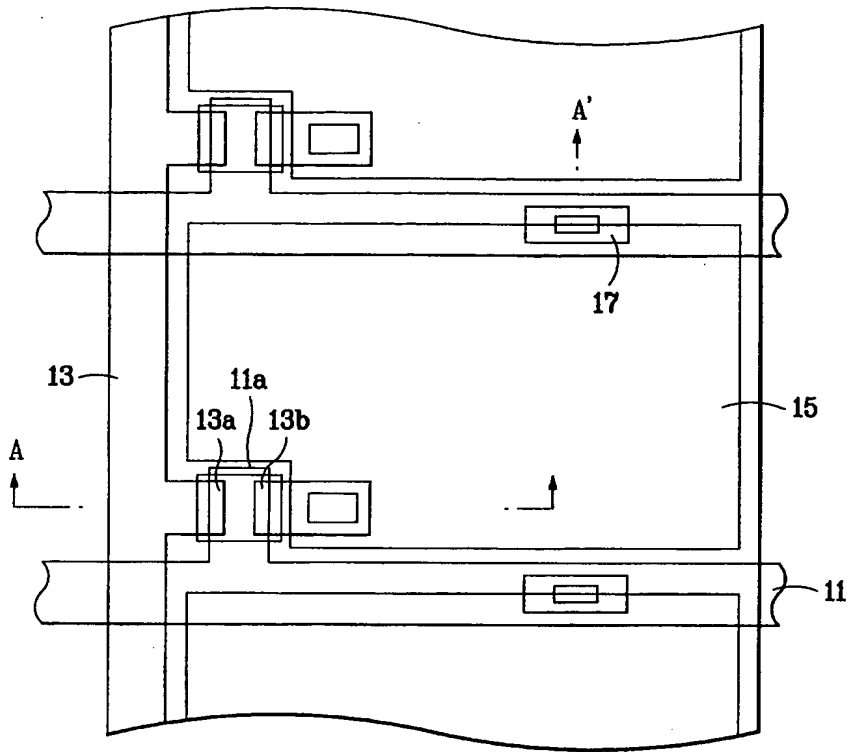
제 5 항에 있어서, 상기 스페이서는 상기 스토리지 커패시터가 형성된 영역과 상기 스토리지 커패시터가 형성되지 않은 영역에서 동일한 직경을 갖는 것을 특징으로 액정표시장치.

【청구항 8】

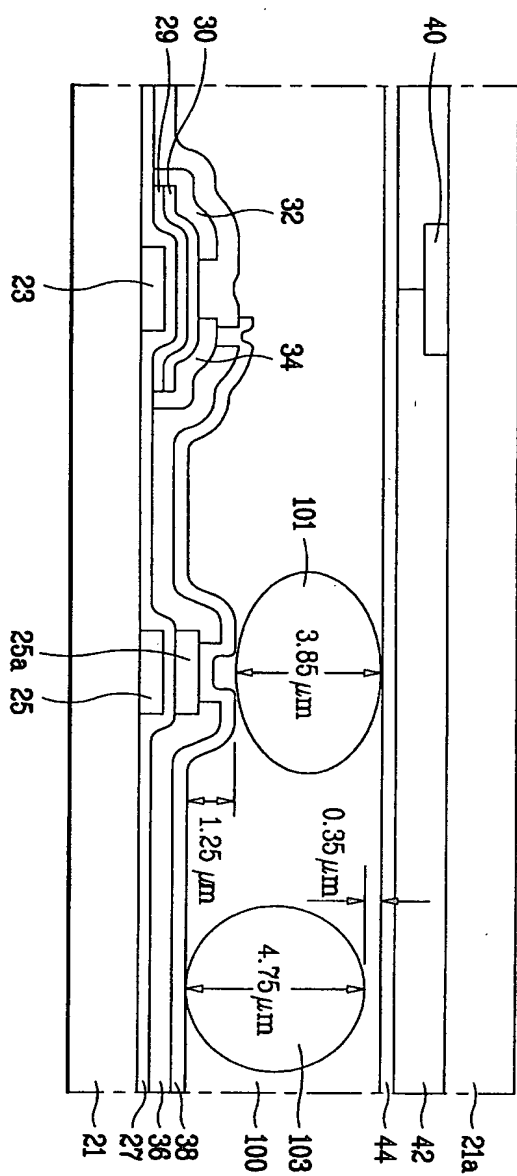
제 5 항에 있어서, 상기 스토리지 커패시터에 의한 단차는 상기 스페이서의 허용
탄성 범위 이상인 것을 포함함을 특징으로 하는 액정표시장치.

【도면】

【도 1】



【도 2】



【図 3】

